

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-32482

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和60年(1985)2月19日

H 04 N 5/232

7155-5C

G 02 B 7/11

7448-2H

H 04 N 5/238

7155-5C

審査請求 未請求 発明の数 1 (全9頁)

⑬ 発明の名称 撮像装置

⑰ 特 願 昭58-142152

⑱ 出 願 昭58(1983)8月2日

⑫ 発 明 者 橋 本 誠 二 川崎市高津区下野毛770番地 キヤノン株式会社玉川事業
所内

⑰ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑱ 代 理 人 弁理士 丸 島 儀一

明 細 書

1. 発明の名称

撮 像 装 置

2. 特許請求の範囲

光学像を電気信号に交換する撮像手段と、該撮像手段に於て形成された電気信号の少なくとも一部を読み出す読み出し手段と、

該読み出し手段による読み出し動作を1標準テレビジョンフィールド期間内で複数回行なわせる読み出し制御手段とを有する撮像装置。

3. 発明の詳細な説明

(技術分野)

本発明は露出情報や焦点調整情報を得るのに好適な撮像装置に関する。

(従来技術)

従来、この種の装置では撮像管や半導体撮像素子等の撮像手段を標準テレビジョン方式に同期して走査・駆動し、その少なくとも一部の出力を積分する事により測光情報を得たり、前記の周期的な走査出力の一部の状態(例えばコントラスト状態)を検出する事により焦点調整状態に関する情報を得たりしていた。

このような装置に於ては上記の測光又は測距情報は最短でも1テレビジョンフィールド期間なければ得られないという欠点があつた。

このような欠点は一般のビデオカメラ等に於てはそれ程問題とはならない。

即ち、例えば被制御系として絞りを考えてみると、従来のビデオカメラでは撮像手段の出力により絞りをサーボ制御するオートアイリスが



知られているが、このオートアイリスが常時閉ループ制御されている場合には、特別に明暗の変化の著しい被写体を除いてサーボの誤差信号が小さいので制御に要する時間は短かくて済む。

従つて前述のような欠点はそれ程表面化しない。

ところが、このような撮像装置に於て1画面だけを撮像する場合には上記のような欠点は大きな問題となる。即ち、1画面だけを撮像する場合には電源を節約する為にその直前で電源を投入するよう構成しなければならない。

ところが、そのように構成すると前記のサーボループがそれ迄停止しているのでサーボが目標値で安定する迄に数フィールド分の時間が必要となつてしまう。

又、オートアイリスなどの被制御系の応答性やサーボの安定性を考慮すると一度に制御すべき量をむやみに大きくすることはできない。

しかも、例えばA Eの精度という点について考えてみると、従来の銀塩カメラに比べて撮像

装置時に半導体撮像デバイスのダイナミックレンジは非常に狭いので露出精度は高い精度で要求される。

又、銀塩フィルムは多少の露出誤差があつてもラボでかなり修正できるが撮像装置では受像機側をその都度調整するというような事は避けなければならない。

従つてそれだけA Eは失敗が許されないという事になる。

このように1画面を撮像する為の撮像装置に於ては立ち上がりの良い、しかも高精度のA E、A F制御が必要となる。これに対して、例えば撮像素子を駆動するクロック発生器の駆動周波数を数倍にする事によりA E制御信号を早く得る事も考えられる。

しかし、この方法は撮像素子の水平転送周波数が非常に高くなるので、水平転送そのものが困難となりかつ消費電力が周波数増大に比例して大きくなるという欠点がある。

(目的)

本発明はこのような従来技術の欠点を解決し得る撮像装置を提供する事を目的とするものであり、低消費電力の、短時間で被写体情報が得られ、従つて立上りのよい制御が可能な撮像装置を提供する事にある。

又、露出制御系や、焦点調整系などの被制御系の応答性を改善し得る撮像装置を提供する事にある。

(効果)

このように本発明は撮像手段からの信号読み出し動作を1標準テレビジョン・フィールド期間内で複数回行なうようにしているので、これによつて得られた情報により露出制御又はレンズ位置制御等を行なう場合に被制御系の応答性が向上する。

従つて被写体が例えば高速で移動していてもA F系によるピンツ誤差や、露出系に於ける露出誤差が発生しにくい。

(実施例)

以下、本発明を実施例に基づき説明する。

第1図は本発明の実施例を説明するためのフレーム転送型の撮像素子の構造図で、この撮像手段としての撮像素子1は光電変換部である撮像部11と、撮像部からの電荷を一時的に蓄積するメモリー部12と、メモリー部からの電荷を一水平走査線(以後1Hと呼ぶ)毎に垂直転送してから水平転送して読出す水平レジスタ部13と、水平レジスタからの電荷を増幅する出力アンプ14とを有している。

第2図は本発明の撮像装置の構成の一例を示す図で、図中30は撮像レンズ、31は絞り、32はシャッター、1は撮像手段としての例えば前記のCCD、34は信号処理回路であつてCCD1の出力をプロセス処理する事により標準テレビジョン信号として例えばNTSC信号を形成すると共に、記録器35に映像信号を供給する。36はCCD1を駆動する読み出し手段としての駆動回路、37はこの駆動クロック信

号を供給するクロック発生器、38は読み出し制御手段としてのシーケンスコントロール回路であつてCCDの駆動開始や停止、記録器35の記録動作制御、絞りシャッタ制御回路39の動作制御、駆動回路36による読み出しモードの切換えを司る。MSWは露出制御モード切換スイッチでa側に接続する第1モードとb側に接続する第2モードとを有する。39はシーケンスコントロール回路38の出力により絞り31、シャッタ32の駆動制御を行なう絞りシャッタ制御回路である。

又、信号処理回路34の内部には第3図のようなAE制御信号発生部が含まれている。このAE信号発生部は測光に用いられる領域を制限し得るよう構成されている。

第3図中103はゲインコントロール回路、104はD/A変換器、106はミックス回路、107は積分回路、108はA/D変換器である。CCD1からの信号はクランプ回路101で直流再生された後、アンプ102で増幅され、

次段のゲインコントロール回路103に導かれる。このゲインコントロール回路103はD/A変換器104により、増幅度を制御されるが、通常は標準増幅度に設定されており、被写体が低照度でかつ、絞りが開放になると、出力信号レベルが適正值になるように増幅度が大きくされる。ゲインコントロール回路103の出力は映像信号処理を行うプロセス回路105を介して記録器35に導びかれると共に測光演算系へ導かれる。

測光演算回路のミックス回路106は第4図示の測光部20に相当する測光用の映像信号を得るために、ゲインコントロール回路103を介した信号に対し測光部用パルス(以後ウィンドパルス)WPを乗算する。

110は第4図示の測光部20の範囲を規定する為のウィンドパルス発生回路である。この結果ミックス回路106からは部分的な測光信号だけが出力される。そして次段の積分回路107において測光部の信号は積分され、直流

信号に変換される。この直流信号はA/D変換器108でデジタル信号に変換され、次の判別手段としての演算器109で測光状態を評価し、その結果を絞り・シャッタ制御回路39に供給する事により絞り・シャッタ機構にフィードバックする。

第5図はクロック発生器37のブロックの一例図である。同期パルス発生器40は14MHzの基準同期パルスを出力し、41はこの同期パルスを4分周してサブ・キャリアを形成する。42は同期パルスを7分周した2MHzを形成し、これをHカウンタ43とVカウンタ44に供給する。Hカウンタ43は2MHzを5分周し、更に13分周した後2分周する。

そして各分周出力を論理ゲートで組み合わせる事によりデコードして水平同期関係のパルスを発生する。Vカウンタ44ではHカウンタで65分周されたパルスを525分周してROMでデコードし垂直同期関係のパルスを発生させる。

45はデコーダーで水平同期関係パルスと垂直同期関係パルスをミキシングしてテレビジョン同期信号を形成する。46は第1のクロックジェネレータで、デコーダー45の出力パルスと14MHz、2MHzのクロックパルスから水平ドライブ関係のパルス ϕ_H を出力する。

又、47は第2のクロックジェネレータでデコーダー45の出力パルスにより垂直ドライブパルス ϕ_V を形成する。

固体撮像素子の蓄積タイミング及び蓄積時間は及び転送タイミング、読出しタイミングはシステム制御回路38のシーケンスでコントロールされ、第1、第2のクロックジェネレータ46、47はシーケンス制御回路38によりタイミング制御が出来る様に構成されている。また記録器35の制御信号及び絞り・シャッタ等の制御信号もシーケンス制御回路38より出力されている。そしてシーケンス制御回路は2MHzをクロックとして各種制御を行うが、このシーケンス制御回路はまた外部コントロール、例えば、

電源スイッチあるいは撮影時のリリース、シャッタ秒時、感度スイッチ等により作動機能をコントロールされている。

次に第6図は本発明の第1の露出制御モードを説明する図である。モード切換スイッチMSWをa側に接続すると駆動回路36からの後述する駆動用出力パルス例えば第6図のようなタイミングで出力される。ここで $F_1 \sim F_4$ は各フィールド期間を示す。

期間①で電源(POWER)を通電すると期間②でCCDにある暗電流分は電荷クリア(CLR)され、撮影準備に入る。そして期間③のF1フィールドの走査期間S1において測光の電荷蓄積が行なわれ、次の期間④の垂直ブランキング期間VTにその電荷は垂直転送され、メモリー部に蓄積される。その電荷は次のF2フィールド期間の内の期間⑤に1H毎に読出されクランプ回路101、アンプ102、ゲインコントロール回路103を経てミックス回路106に入力される。このミックス回路において映像信号

フィールド期間の一部を利用する事、また測光部以外の電荷は測光演算に無関係なので、そのときは高速転送して、測光部電荷を早く読出す様にしたものである。スイッチMSWをb側に接続した状態で図で期間⑨の終わりに電源をONすると期間⑩で撮像部11の電荷はメモリー部12、水平レジスタ13を介して高速で読み出されクリアされる。その後期間⑪だけ撮像部に於ける電荷蓄積が為され、この電荷は期間⑫にメモリー部12に垂直転送され、期間⑬に水平シフトレジスタ13を介して読み出され積分される。その後この積分結果は期間⑭に於て演算され、この演算結果に基づき期間⑮に絞り制御が行なわれる。それから期間⑯で再び撮像部11の電荷がクリアされると共にシャッターが開き期間⑰だけ露光が行なわれた後期間⑱に撮像部の電荷は垂直転送される。

更にその後でF4フィールドで期間⑲に記録が行なわれる。第8図は第7図示の第2の露出制御モードの場合の駆動回路36からの出力パ

は測光部に相当するウィンドウパルスと混合されるので、測光部に対応する信号のみが、次の積分器107で積分される。

測光部の積分が完了すると、この積分信号は期間②でA/D変換されたのち演算回路109で演算され最適な絞り値が決定され、この値に基づき期間③で絞りを制御する。そして、測光演算中にCCDに蓄積された電荷は不要電荷として期間④でクリアされ、その後期間⑤でシャッタ秒時に従つて電荷蓄積が行なわれ、期間⑥のF4フィールドの垂直ブランキング期間に垂直転送がされ、期間⑦のF5フィールド期間に記録媒体に記録される。

この様に本発明の撮像装置の第1の露出制御モードではテレビ同期に従つて、測光のための電荷蓄積及び電荷転送が行なわれる。

第7図は第2の露出制御モードを示す図である。第1のモードと異なる点は、測光時間を短くするために、測光のための電荷蓄積時間を1フィールド期間全体で行うのではなく、1フ

ルスのタイミング例を示す図である。

第8図においてPOWERは電源、VDはTV垂直ドライブ信号、S1はCCDのドライブパルスである。 ϕ_{PI} は撮像部の電荷蓄積および転送パルス、 ϕ_{PS} はメモリー部の電荷転送パルス、 ϕ_h は水平シフトレジスタの信号読出しパルス、INT. CALは積分、演算パルス、IRISは絞り制御信号、SHUTTERはシャッター制御信号、RECORDは記録制御信号、WINDOWはウィンドウパルスである。

電源を通電するとCCDの不要電荷はパルス ϕ_{PI} から成るクリア(CLR)パルスによりクリアされる。そしてCCDは測光状態に入るために、絞りは所定の標準絞り値に、またシャッターは閉成状態になる。ある任意の測光期間④を経ると、期間⑤の垂直転送パルスVTによつて測光に関係ない画面垂直方向の電荷は除去される。この転送により測光部の電荷は水平レジスタ直前のメモリー部に来ているので、この測光に対応する電荷はメモリー部の駆動パルス ϕ_{PS} によ

り期間⑭、⑮で1H毎に読出されウインドパルスと混合された後積分され演算される。演算結果に従つて絞りが期間⑯で制御された後撮影が行なわれ期間⑰で記録が行なわれる。この実施例では1回の測光結果により絞り等を制御したが、最初の絞り設定具合により良い演算結果が得られない場合あるいはCCDが飽和状態の場合、あるいは、測光時間不足等の時は最適演算結果が得られるまで測光、転送、演算、絞りあるいはシャッタ制御を行つても良い。一般に絞り機構は設定絞りまで制御するのに時間を要するので、最適絞りを演算するにはシャッタを制御すれば測光に要する時間をかなり短く出来る。第9図(a)は測光部の領域を示す図であり、第9図(b)、(c)は測光用電荷垂直転送パルス即ち第8図中期間⑬、⑭、⑮のパルスの詳細なタイミング図である。

第9図(a)では測光部20が画面の垂直方向について $\frac{1}{6}$ の巾を有する場合について示している。またデバイスはフレーム転送型CCDの場合を

示す。φ₈は期間⑱で停止する。又、積分器はその後の期間⑲の1H期間分だけ積分すれば良い。その後期間⑳でA/D変換前にサンプルホールドをしてからA/D変換して演算を行なう。

尚、この期間⑱中にもパルスφ_{ps}、φ₈を供給する事によつて暗電流ムラを防止し得る。

尚、第9図(b)、(c)に示すタイミング図では測光部20以外の部分、特に測光領域の第9図(a)中、下方の領域の信号を高速で垂直転送しクリアしているので測光等の為の信号を早く得る事ができ制御の容易化に役立つ。

特に第9図(c)の実施例では測光部20の信号も高速で加算してから読み出しているため更に早いタイミングで測光等の為の信号を得る事ができる。勿論第9図(c)の実施例の場合には画面の一部のみを測光データとして用いるようにした例を示したが、一部のみでなく、短時間に蓄積された1画面の信号電荷を全て水平シフトレジスタに於て加算しても良い。

又、第9図(c)の実施例では水平シフトレジス

タを示す。第9図(b)に於て測光の為の蓄積期間⑭が終ると第9図(a)の垂直方向の90で示す範囲の電荷は期間⑭の間に高速で水平シフトレジスタ方向へ転送され除去される。

期間⑭のパルス数は $\frac{17}{12}V$ (垂直方向の走査線数)分であるのでパルス数は概略 $(245 \times \frac{17}{12})$ 約347発である。

次に期間⑭、⑮で第9図(a)の測光部20の読み出しが行なわれる。このときウインドパルスにより水平走査期間内の所定巾の信号だけがゲートされる。更にこのゲートされた測光部20の信号は積分され、演算される。その後期間⑯に於て絞り等の制御に要する時間内に第9図(a)の測光部20の上方の走査線信号が読み出される。これにより暗電流ムラを防ぐ事ができる。

次に第9図(c)は本発明の他の実施例を示す図で測光部に対応する電荷を水平シフトレジスタより1H毎に読出するのではなく測光部の電荷を水平シフトレジスタですべて加算して平均化してしまふものである。この場合は水平転送パル

タに於て複数行の電荷を加算しているが、メモリー部12内の水平シフトレジスタ近傍の行内で加算するようにしても良い。

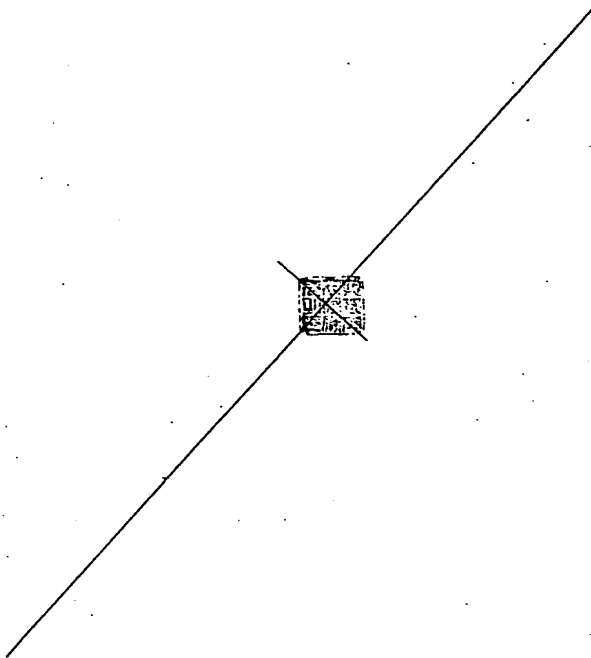
次に第10図は本発明の第3実施例を示す図で、本実施例では1フィールド期間T_F内に於て複数回測光や測距のデータを得られるようにしたもので、図中T₁、T₂は撮像部11に於ける蓄積時間、T₃、T₄は垂直転送期間であり、この間は第1図示のCCDの水平シフトレジスタ13には水平転送パルスφ₈を供給しない。

従つて垂直転送された電荷はこのレジスタ内で加算される。

又、T₁、T₂は水平シフトレジスタの読み出し期間であり、夫々1ライン分の走査時間に相当する。

このように駆動回路36により駆動制御を行なえば1フィールド内に複数回測光又は測距情報が得られる。従つてこの各情報に基づいて例えば絞りによる露出制御や、レンズの駆動を行なうようにした場合に被制御系の制御が極めて

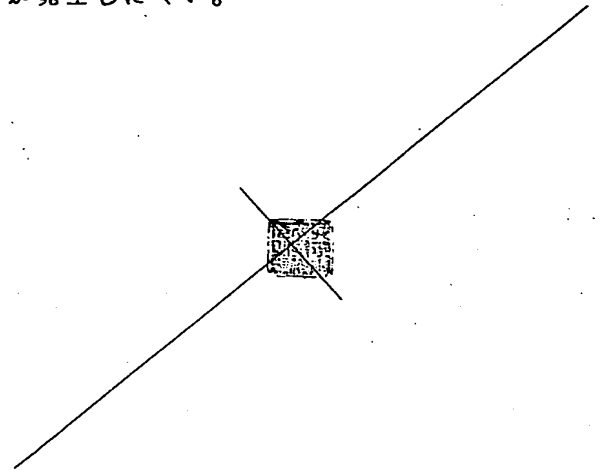
短時間で完了する。又被写体の条件が変化した場合でも速やかに追従できる効果を有する。



(効果)

このように本発明は撮像手段からの信号読み出し動作を1標準テレビジョン・フィールド期間内で複数回行なうようにしているので、これによって得られた情報により露出制御又はレンズ位置制御等を行なう場合に被制御系の応答性が向上する。

従つて被写体が例えば高速で移動していてもA F系によるピント誤差や、露出系に於ける露出誤差が発生しにくい。



4. 図面の簡単な説明

第1図は本発明に適した撮像デバイスの例を示す図、第2図は本発明の撮像装置のブロックの構成例を示す図、第3図は、A E制御信号発生部の構成を示す図、第4図は測光領域の一例を示す図、第5図はクロック発生器37の構成の一例を示す図、第6図は第1の露出制御モードのシーケンス及びタイミング例を説明する図、第7図は第2の露出制御モードのシーケンス及びタイミング例を説明する図、第8図は第7図の更に詳細なタイミング例を示す図、第9図(a)は測光部分の具体例を示す図、第9図(b)は測光タイミングパルスの第1実施例を示す図、第9図(c)は同第2実施例を示す図、第10図は測光タイミングの第3実施例を示す図である。

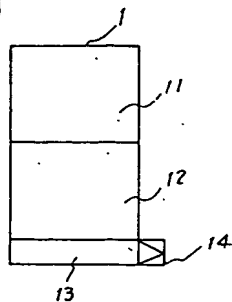
1…撮像手段としてのCCD、36…読み出し手段としての駆動回路、38…読み出し制御手段としてのシーケンスコントロール回路、109…演算回路、12…メモリー部、13…水平シフトレジスタ、14…出力アンプ、37

…クロック発生器。

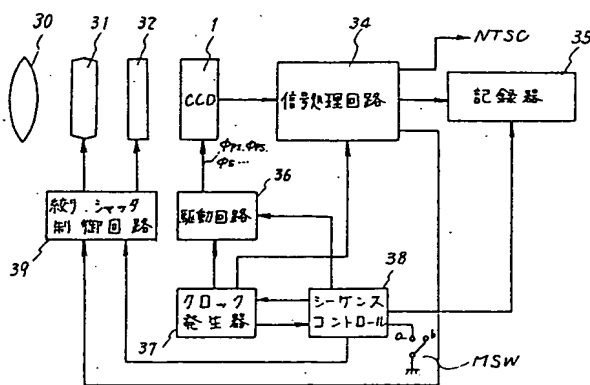
特許出願人 キヤノン株式会社
代理人 丸 島 儀 一



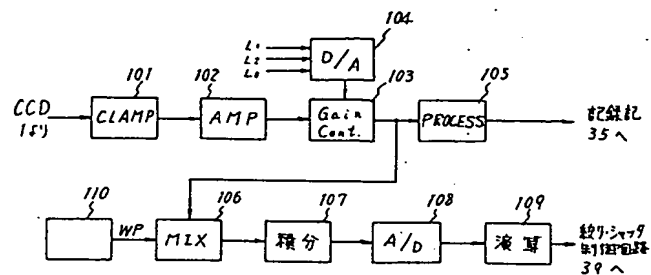
第1図



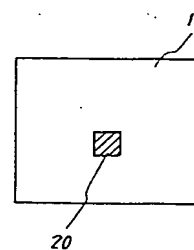
第2図



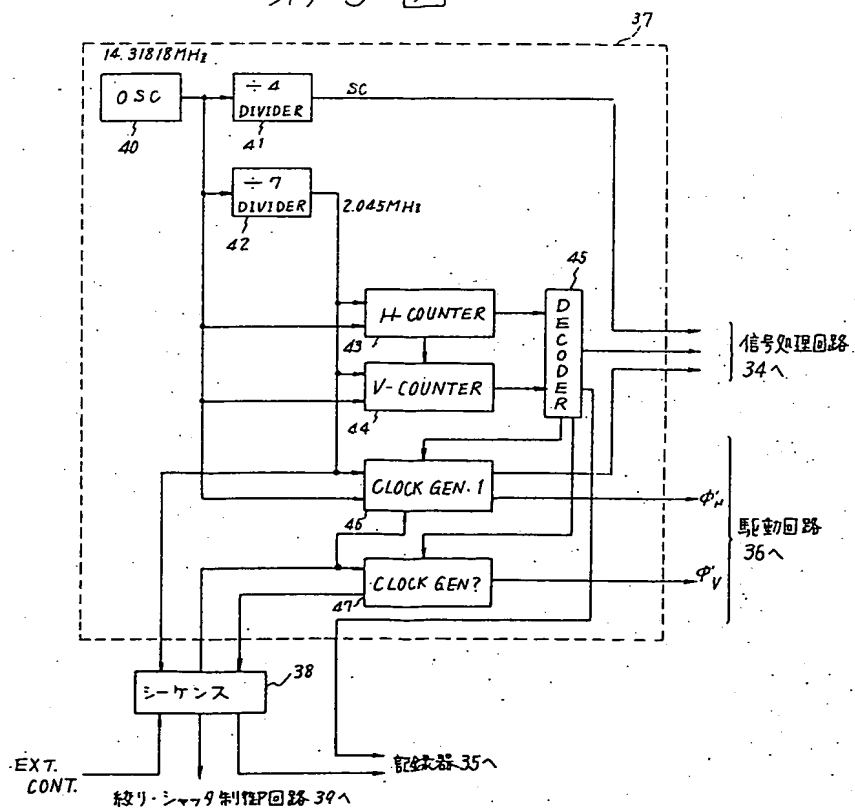
第3図



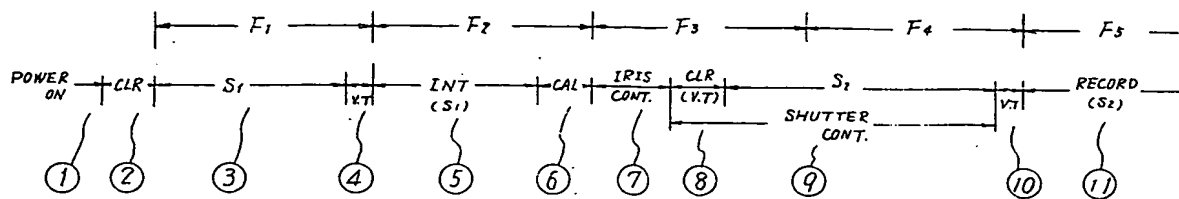
第4図



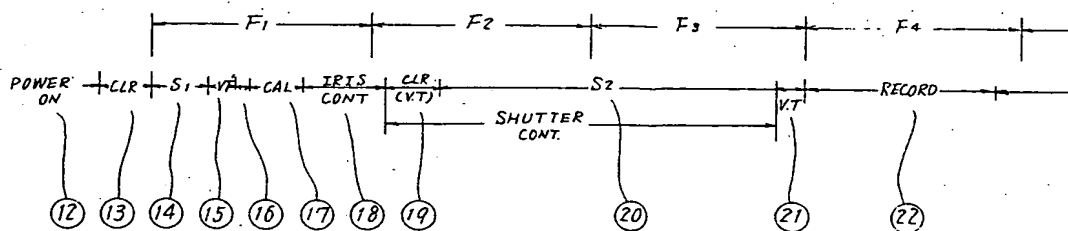
第5図



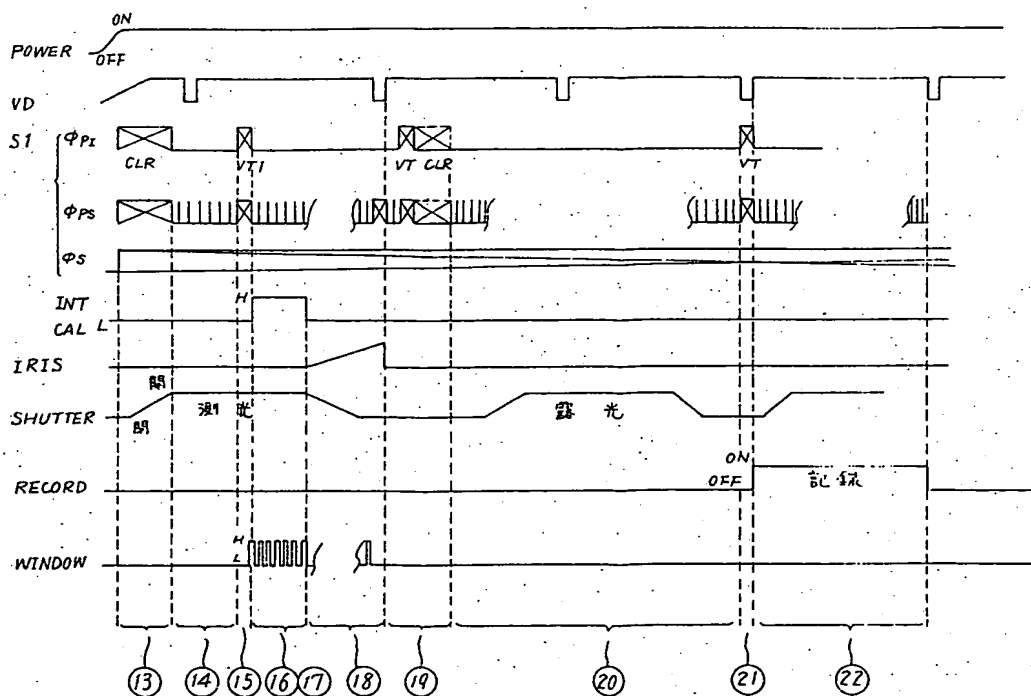
第 6 図

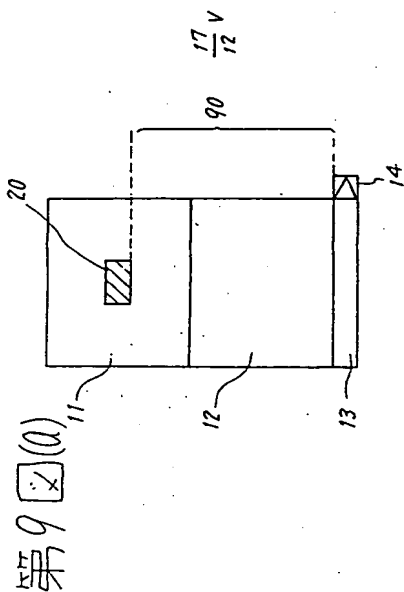


第 7 図

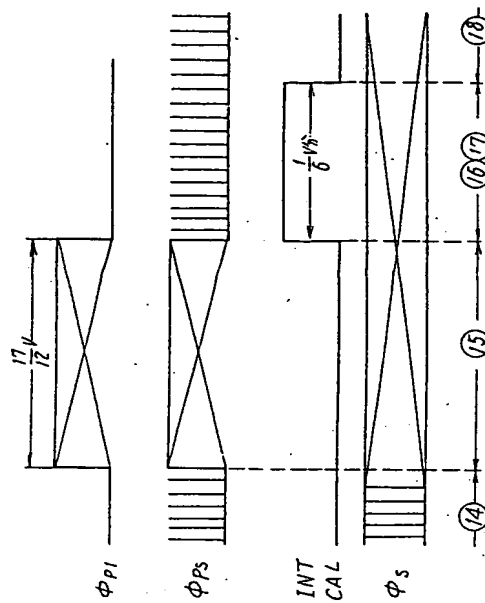


第 8 図

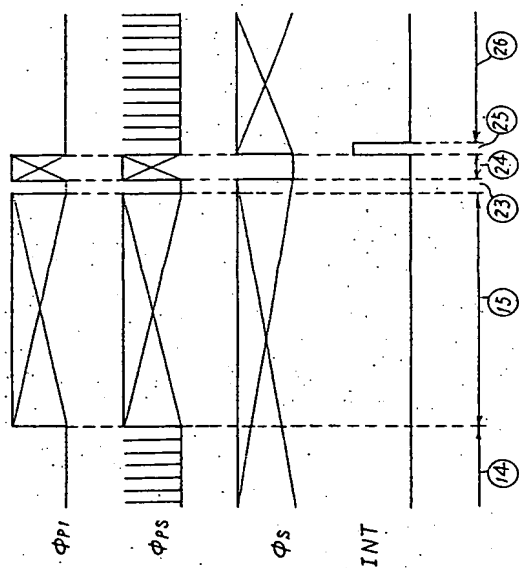




第9図(b)



第9図(c)



第10図

